

(19) 日本国特許庁 (J P)

特 許 公 報 (B 2)

(11) 特許番号

特許第3187827号

(P 3 1 8 7 8 2 7)

(45) 発行日 平成13年7月16日 (2001.7.16)

(24) 登録日 平成13年5月11日 (2001.5.11)

(51) Int. Cl. ⁷

識別記号

H01L 21/66

F I

H01L 21/66

J

請求項の数10 (全14頁)

(21) 出願番号 特願平2-332608
(22) 出願日 平成2年11月29日 (1990.11.29)
(65) 公開番号 特開平3-232250
(43) 公開日 平成3年10月16日 (1991.10.16)
審査請求日 平成9年11月28日 (1997.11.28)
(31) 優先権主張番号 特願平1-330222
(32) 優先日 平成1年12月20日 (1989.12.20)
(33) 優先権主張国 日本 (J P)

(73) 特許権者 999999999
株式会社日立製作所
東京都千代田区神田駿河台4丁目6番地
(72) 発明者 谷口 雄三
東京都小平市上水本町5丁目20番1号
株式会社日立製作所武蔵工場内
(72) 発明者 福井 徹
東京都小平市上水本町5丁目20番1号
株式会社日立製作所武蔵工場内
(72) 発明者 斎藤 幹人
東京都小平市上水本町5丁目20番1号
株式会社日立製作所武蔵工場内
(74) 代理人 999999999
弁理士 筒井 大和

審査官 坂本 薫昭

最終頁に続く

(54) 【発明の名称】 パターン検査方法および装置

(57) 【特許請求の範囲】

【請求項1】 被検査物上の隣接する2チップのパターンを比較するチップ比較検査と、チップ内の同一繰返しパターン部の同一パターンどうしを比較する繰返しパターン比較検査とを、連続的に画像読み取りをしながら別々の回路で実行することを特徴とするパターン検査方法。

【請求項2】 被検査物に照明を照射して連続的に画像読み取りをしながら、前記被検査物上の隣接する2チップの周辺回路部からの反射光に基づく信号を比較し検出されたチップ比較欠陥出力と、前記チップ内の繰返しパターン部の同一パターンどうしからの反射光に基づく信号を比較し検出された繰返しパターン比較欠陥出力との区別を行うことを特徴とするパターン検査方法。

【請求項3】 前記チップ比較欠陥出力の検出と前記繰返しパターン比較欠陥出力は、別々の閾値で実行すること

を特徴とする請求項2記載のパターン検査方法。

【請求項4】 前記閾値は欠陥サイズであることを特徴とする請求項3記載のパターン検査方法。

【請求項5】 前記チップ比較欠陥出力と前記繰返しパターン比較欠陥出力とを区別して表示もしくは出力するようにしたことを特徴とする請求項2記載のパターン検査方法。

【請求項6】 被検査物上の隣接する2チップのパターンを比較する第1の比較回路と、チップ内の同一繰返しパターン部の同一パターンどうしを比較する第2の比較回路とを有し、前記被検査物に照明を照射して連続的に画像読み取りをしながらどちらの比較回路からの出力かを介別し、欠陥判定を実行することを特徴とするパターン検査装置。

【請求項7】 チップ内のパターン配置情報をもとに、

次元センサの走査方向およびチップの開始点からのステージ走査方向各々につき、チップ比較検査領域と繰返しパターン比較検査領域のデータを記憶する記憶部を有し、センサ走査位置、ステージ走査位置に同期して、2チップ比較検査の欠陥出力または繰返しパターン比較検査の欠陥出力の出力可否を制御するようにしたことを特徴とする請求項6記載のパターン検査装置。

【請求項8】2チップ比較の欠陥判定条件と繰返しパターン比較の欠陥判定条件を独立に設定可能としたことを特徴とする請求項6記載のパターン検査装置。

【請求項9】検出した欠陥が、2チップ比較検査での欠陥か、繰返しパターン比較検査での欠陥かを区別して表示もしくは出力するようにしたことを特徴とする請求項6記載のパターン検査装置。

【請求項10】被検査物に照明を照射する照明光源と、該照明光源により照明光を照射しながら被検査物を移動させるステージと、前記被検査物上のチップ内の繰返しパターン部からの反射光とその周辺回路部からの反射光とを検出するセンサと、前記被検査物上の隣接する2チップの前記周辺回路部からの反射光に基づく信号を比較し第一の欠陥判定条件により決定された欠陥出力を収納するチップ比較検査結果メモリと、前記チップ内の繰返しパターン部の同一パターンどうしからの反射光に基づく信号を比較し第二の欠陥判定条件により決定された欠陥出力を収納する繰返しパターン比較検査結果メモリと、前記各メモリに収納された欠陥を区別して表示もしくは出力するようにしたことを特徴とするパターン検査装置。

【発明の詳細な説明】

〔産業上の利用分野〕

本発明はパターン検査技術、すなわち、半導体ウエハ、フォトリソ、磁気ディスク、光ディスク等におけるパターンの欠陥検査、特にVLSIメモリやCCD (Charge Coupled Device) の如く、一つのチップ領域に周期パターンとランダムパターンを有する集積回路装置等のパターンまたは欠陥検査に適用して有効な技術に関する。

〔従来の技術〕

従来、パターン検査の方法としては、隣接する2チップを比較する方式が従来より、フォトリソあるいはウエハの外観検査装置として広く用いられてきた。また、複雑な多層パターンを有するウエハ上の欠陥検出方法として、特開昭59-192943号公報に記載のように繰返しパターン比較を行う方法が提案されている。

2チップ比較検査は、隣接する2チップのパターンを比較するため、多層パターンを有する半導体ウエハの場合、チップによるパターン寸法、パターンの重ね合わせ精度等の差異により微細な欠陥を検出するのは難しいという問題点がある。一方、繰返しパターンを比較する方法は、すぐ近傍のパターンを比較するため、比較するパターンどうしの差異が小さく、微細な欠陥上で検出可能

であるが、繰返しパターン部しか検査できないという問題があった。

ところで、検査対象であるウエハパターンの場合、微細なパターン部と比較的太いパターン部とでは、不良となる欠陥のサイズも異なり、したがって要求される検出感度も異なる。

このため、本発明者らは、特開昭63-52434号公報に開示されているように、検査するパターンにより検出感度を切り換える方法を提案した。

また、2チップ比較と繰返しパターン比較を共に行う検査装置として、米国KLA社によりウエハ外観検査装置KLA-20シリーズが提案されており、この装置によれば、繰返しパターンとランダムパターン別々に検査できるものとされている。

〔発明が解決しようとする課題〕

ところが、前記特開昭63-52434号公報記載の技術は2チップ比較検査を前提としているため、多層パターンを有するウエハ上での検出感度が課題である。

一方、前記米国KLA社の装置はITV (工業用テレビ) であり、とり込んだ画像を比較するものであり、ステージの移動停止を繰返すため検査速度が遅いという1つの問題点がある。また、繰返しパターン領域とランダムパターン領域を別々に検査するため、繰返しパターン領域内のごく小さな領域に繰返してないパターンがあるような場合、その領域がごく微小であってもその部分のみを別に2チップ比較しなければならないという問題がある。

したがって、前記した従来技術においては、検出感度の向上と、検査速度の向上とを同時に解決することは配慮されていないものである。

本発明の1つの目的は、検出感度の向上と検査速度の向上とを同時に実現できるパターン欠陥検査技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

〔課題を解決するための手段〕

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

すなわち、本発明のパターン欠陥検査方法および装置は、一般にパターンの微細なメモリのメモリセル領域あるいは、CCD、MiD (Mos Image Device) など光センサ素子の受光領域部など繰返しパターン部と、周辺回路部を別々な回路で検査することにより、繰返しパターン部は比較的検出感度の良い繰返しパターン比較検査が適用できるようにし、また、高速な検査を行うために有効なステージを連続走査しながら検査を行う方式で、チップ内のパターン配置情報をもとに作成した各検査領域データをもとにチップ比較、繰返しパターン比較の各々の欠陥出力が重複しないようにしており、高速検査も可能とするようになっている。

〔作用〕

上記した手段によれば、ウエハ内のメモリセルのような微細パターンが形成されている高感度検査を必要とする部分は高感度で検査でき、かつチップの周辺のように比較的大きなパターン部分は比較的に低感度で検査でき、チップ内のパターンの微細度に応じた検出感度での欠陥検出が可能となり、しかも高速検査可能なパターン欠陥検査装置を提供するという上記目的を達成できるものである。

〔実施例〕

第 1 図は本発明の一実施例であるパターン欠陥検査装置の一実施例を示す説明図である。

このパターン欠陥検査装置は、XYテーブルよりなるステージ 1 上のウエハ載置台 2 上に固定された半導体ウエハ 3 を、ステージ 1 によって順次 X、Y 方向に移動し、ウエハ 3 上のパターン欠陥を検査するように構成されている。

ウエハ 3 には、その上方に位置する照明光源 4 からの光が、ハーフミラー 5、対物レンズ 6 を通して照射され、ウエハ 3 からの反射光が対物レンズ 6 により拡大され、一次元素子（たとえば一次元 CCD などのラインセンサ）7 に集光される。一次元素子 7 の電気出力は、信号の増幅あるいは信号レベル合わせを行う信号処理回路 8 を経て、AD（アナログ・ディジタル）変換器 9 により多階調の濃淡信号に変換される。

この多階調の濃淡信号は、1 チップ分の画像信号を記憶するチップ遅延メモリ 10 に記憶される。チップ遅延メモリ 10 によって 1 チップ分遅れて出力される信号と、遅延されない信号とを比較器 12 で差分をとり、閾値化回路 13 により、あらかじめ定められた濃淡差閾値が設定された閾値レジスタ 18 の設定値と比較し、閾値以上の濃淡差があれば欠陥候補信号として、閾値化回路 13 の出力となる。

この信号はチップ比較検査出力制御回路 14 によって欠陥出力が可能な時にのみ出力が出され、欠陥サイズ判定回路 15 で一定サイズ以上の欠陥が検査結果メモリ 16 に収納される。検査結果メモリ 16 に収納された欠陥情報は、計算機 23 にてデータを読み込むことができる。以上がチップ比較検査の欠陥出力までの流れである。

次に、繰返しパターン比較検査の欠陥出力までの流れを説明する。第 1 図における AD 変換器 9 の出力までは、前記チップ比較検査と同じである。AD 変換器 9 の出力の一方が、パターンの繰返しピッチ分の画像データを記憶する繰返しパターン遅延メモリ 11（または単位セル遅延メモリ）に記憶される。繰返しパターン遅延メモリによってパターンの繰返し分遅れて出力される信号と遅延されない信号を比較器 12' で差分をとり、閾値化回路 13' により、あらかじめ定められた濃淡差閾値が設定された閾値化回路 13' の設定値と比較し、閾値以上の濃淡差があれば欠陥候補信号として閾値化回路 13' の出力と

なる。

この信号は、繰返しパターン比較検査出力制御回路 14' によって欠陥出力が可能な時にのみ出力が出され、欠陥サイズ判定回路 15' で一定サイズ以上の欠陥が検査結果メモリ 16' に収納される。検査結果メモリ 16' に収納された欠陥情報は、計算機 23 にてデータを読み込むことができる。

欠陥検出を判断するための、濃淡差閾値レジスタ 18 および 18' は、各々計算機 23 からデータを独立に設定できるので、チップ比較、繰返しパターン比較を別々の閾値とすることが可能である。

欠陥の大きさの閾値を設定する欠陥サイズ設定レジスタ 17、17' は、各々計算機 23 からデータを独立に設定できるので、チップ比較、繰返しパターン比較の欠陥検出サイズを別々にすることが可能である。

なお、21 は一次元光素子 7 であるラインセンサの走査方向何ビット目を計算するラインセンサ位置カウンタ、19 はチップ比較検査でラインセンサの各ビットが検査可否かを記憶するラインセンサ検査可否ビットメモリ、19' は繰返しパターン比較でラインセンサの各ビットが検査可否かを記憶するラインセンサ検査可否ビットメモリである。これらのラインセンサ検査可否ビットメモリ 19、19' は計算機 23 からデータを書き込むことができる。

また、22 はステージの走査方向の座標カウンタである。20、20' は各々チップ比較、繰返しパターン比較のステージ走査方向の検査可否領域を記憶するチップ内検査可否領域データメモリである。これらのチップ内検査可否領域データメモリ 20、20' は計算機 23 からデータを書き込むことができる。上記各データメモリ 19、19'、20、20' の出力が検査出力制御回路 14、14' に送られ、チップ比較の欠陥出力と繰返しパターン比較欠陥出力の区分けを行う。

次に、チップ比較領域と繰返しパターン比較領域との区分けの考え方を第 2 図、第 3 図、第 4 図などにより説明する。

第 2 図は、半導体メモリ・チップの例を示す。第 2 図における 1～4 の領域は繰返しパターン部すなわちメモリセル部、それ以外はランダムパターン部すなわち周辺回路部とする。

第 2 図のようなチップを、ラインセンサで検査する場合、第 3 図に示すように、ラインセンサの有効検査幅（図中 W）でチップ内を同図中の領域 1～8 のように分割する。すなわち、検査を行う場合、まずウエハ内の各チップの領域 1 の部分のみを比較検査し、領域 1 の比較検査が終了した後、順次領域 2～領域 8 の比較検査を実行する。

この場合、一例を示すと、1024 ビットの一次元ライン・センサを用いて 0.25 μm /ビットで画像を取り込むとすると、W は約 250 μm となる。

一例として、第3図の領域1を検査する場合のチップ比較、繰返しパターン比較の検査可否エリアを第4図により説明する。第4図中で斜線部が繰返しパターン部となっている。また、第4図中でチップ比較検査を行う領域は、 $CPXS1 \leq X \leq CPXE1$ でかつYが図中Cの領域であるが斜線部を除く。繰返しパターン比較を行う領域は、 $CLXS1 \leq X \leq CLXE1$ もしくは $CLXS2 \leq X \leq CLXE2$ でYが図中Bの領域である。

この領域制御を実現する一実施例を第5図、第6図などにより説明する。

第5図はラインセンサの走査方向(Y)での検査可否ビットを制御する回路構成を示す図である。連続走査を行うラインセンサの何ビット目かを示すラインセンサ21が、ラインセンサの各ビットが検査可否かを記憶した検査可否ビットメモリ19, 19' (19はチップ用、19'は繰返しパターン用)のアドレスを指定し、該ビットメモリ19, 19'の各メモリの出力(第5図中、信号A、信号B)が1か0かで検査可否を判別する。

次に、第6図はステージの走査方向での検査領域データ制御回路の部分を示す図である。

第6図において、22, 22'はステージの走査方向の座標カウンタであるが、検査領域はチップ単位になっているので、チップ内での座標を計数するものとし、ステージの走査方向により可逆とする。第6図中の20-1~20-6および20'-1~20'-6は第1図中のチップ内検査可否領域データメモリ20, 20'の部分を詳細に示したものである。

20-1, 20'-1は何番目の検査領域かを示すカウンタであり、ステージ走査方向により可逆とし、また計算機23から初期値を書き込めるものとする。20-2はチップ比較用のX検査領域の開始座標、すなわち、第4図の例ではCPXS1を記憶しているメモリである。20-3はチップ比較用X検査領域の終了座標すなわち、第4図の例で

論理式

$$(A \times C) \times (\overline{B \times D}) = 1 : \text{検査出力可能}$$

$$(A \times C) \times (B \times D) = 0 : \text{検査出力不可}$$

となるようにすればよい。

第7図はチップ比較検査回路の比較器12(第1図)の内部処理の詳細を示す回路ブロック図である。同図において、24および25はデジタル2階微分を実行して段差部等を強調する微分器、26および27は微分信号のうちある閾値以上のもののみを2値信号の「1」と、それ以外を「0」と出力する比較器、91はそれらのための閾値を設定する微分閾値設定回路、29ないしは33はそれぞれ1ビット・シフトレジスタ、34ないしは37はラインセンサ7の1列分の遅延を行うX方向信号遅延回路、28はタイミング合わせのために上記34および35の2つの遅延回路お

はCPXE1を記憶しているメモリである。この例では、Xの検査領域は1領域だけであるが、汎用性を増やすため複数領域設定できるようになっている。

20-2, 20-3のメモリアドレスは、何番目の検査領域かを示すカウンタ20-1にて読出しアドレスを指定されている。20-4, 20-5は比較器であり、座標カウンタ22と検査領域開始座標(20-2の出力)と検査領域終了座標(20-3の出力)とを各々比較する。20-6はフリップフロップであり、例えば比較器20-4の出力すなわち、検査領域に入ったかどうかによりセットされ、比較器20-5の出力、すなわち、検査領域が終了したかによってリセットされ、この出力信号Cが制御信号となる。

第6図において、要素22', 20'-1~20'-6の構成、働きは上記要素22, 20-1~20-6と同じであり、繰返しパターン比較用である。20'-2には第4図の例ではCLXS1, CLXS2が記憶される。終了座標20'-3には、第4図の例ではCLXE1, CLXE2が記憶される。フリップフロップ20'-6の出力信号Dが繰返しパターン比較用のステージ走査方向の制御信号となる。

次に、前記した第5図、第6図に示した信号A, B, C, Dについてどのような論理で第1図の回路14, 14'を実現するかを説明する。

今、信号A, Bについて、1の時検査可能ビット
0の時検査不可ビット

信号C, Dについて、1の時検査領域内
0の時検査領域外

とすると、

繰返しパターン比較検査出力制御回路14'の場合は、

論理式 $B \times D = 1$: 検査出力可能

$B \times D = 0$: 検査出力不可

となるようにすればよい。

チップ比較検査出力制御回路14の場合は、

40 よびシフトレジスタ30, 31などと同じタイミングで動作する2ビット・シフトレジスタを直列接続したタイミング整合回路、38ないしは42は2つの入力2値信号が一致したときのみ「1」を出力する一致検出回路、43ないしは47は一致した個数をカウントし、そのデータを出力するカウンタ、48は一致データに基づいて現検出画像信号を一致率が最も高くなるようにシフトさせる位置合わせ回路(ないしはタイミングシフト回路)、49はこの現検出画像信号とチップ遅延画像信号の差分を取るための引算器、92および93は位置合わせが完了するまで画像データを保持するバッファメモリである。

第9図は繰返しパターン比較検査回路の比較器12'

(第1図)の内部処理の詳細を示す回路ブロック図である。同図において、24'および25'はデジタル2階微分を実行して段差部等を強調する微分器、26'および27'は微分信号のうちある閾値(閾値は27とは独立に設定可)以上のもののみを2値信号の「1」と、それ以外を「0」と出力する比較器、91'はそれらのための閾値を設定する微分閾値設定回路、29'ないしは33'はそれぞれ4ビット・シフトレジスタ、34'ないしは37'はラインセンサ7の1列分の遅延を行うX方向信号遅延回路、28'はタイミング合わせのために上記34'および35'の2つの遅延回路およびシフトレジスタ30', 31, などと同じタイミングで動作する2ビット・シフトレジスタを直列接続したタイミング整合回路、38'ないしは42'は2つの入力2値信号が一致したときのみ「1」を出力する一致検出回路、43'ないしは47'は一致した個数をカウントし、そのデータを出力するカウンタ、48'は一致データに基づいて現検出画像信号を一致率が最も高くなるようにシフトさせる位置合わせ回路、49'はこの現検出画像信号とセル遅延画像信号の差分を取るための引算器、92'および93'は位置合わせが完了するまで画像データを保持するバッファメモリである。

第8図は半導体メモリ・ウエハの欠陥検査を説明するためのウエハ上面図である。同図において、72はスクライプ・ライン、71Eは先行してスキャンされたメモリ・チップ領域、71Fは現在スキャン中のチップ領域、71Gは次にスキャンするチップ領域、51および52は繰返しパターンよりなるメモリ・セル・マット領域、55および56はランダムパターンからなる周辺回路部、57は50 μ m~100 μ m程度の幅を有するAI電源幹配線帯、61, 63および68は第3図領域1~8と同じスキャンニング帯、61Q, 63H~63Kおよび68Qはそれぞれのスキャンニング帯の位置合わせ単位領域である。この位置合わせ単位領域のサイズは画素サイズ0.25 μ m、ラインセンサ1024ビットとするとY軸方向(ラインセンサの延在方向)の長さ256 μ m、X方向の長さ64 μ m程度である。

次に、第7図および第8図に基づいて、位置合わせ動作の説明を行う。ここではAI配線パターンを例にとりて説明する。例えば4MビットDRAMを例にとると、セル部と周辺部では致命欠陥サイズが一般に異なるので、欠陥サイズ設定レジスタ17および17'における最小欠陥サイズは相互に異なる値とする必要がある。

更に、欠陥検出のノイズとなるヒロック(hillock)のサイズもセル領域の細いAI配線と周辺のAI幹配線57などの幅の広い配線とでは一般に異なる場合が多いからである。従って、先の4MビットDRAMの例では、チップ比較の最小欠陥サイズを0.75 μ m、繰返しパターン比較の最小欠陥サイズを0.5 μ mに設定する。

本装置は、先に説明した如く、ウエハを幅256 μ mのスキャンニング帯で埋めつくすように連続的に画像読み

取りをしながら、実時間で欠陥判定を実行するものである。この連続画像読み取りおよび欠陥判定に際しては、基準となる読み取り画像と被検査読み取り画像の位置合わせをスキャン経路上の多数の点で実時間で実行する必要がある。そこで、例えばスキャンニング帯63を例にとれば、スキャンニング帯を単位位置合わせ領域63H~K等に細分して、その領域ごとに位置合わせを実行することとしている。一方、セル比較の方では、位置合わせ単位領域のX方向の長さは繰返し単位長さまたはその整数倍となる。それ以外については、微分閾値、閾値回路13'、欠陥サイズ設定レジスタ17'の各パラメータがチップ比較回路と独立に設定できる以外全く同様である。すなわち、各位置合わせ単位領域の画像データは、微分演算により、パターン段差が強調され、それと基準となる同様の段差強調パターンがデジタル的に比較され、それらが各位置合わせ単位領域で最も良く一致するように位置合わせ回路(ないしはタイミング・シフト回路)48, 48'によってメモリ上でシフトすなわち位置合わせされ、その状態で差分器または引算器49, 49'に出力され、それより差分信号として出力される。

このように並行して画像の読み取り、チップ比較およびセル比較、更にはそれらの判定を常に実行し、検査領域によって出力すべき比較仕様を選択しているため、どのようなパターンに対しても正確な位置合わせを可能とすることができる。

また、複数の検査回路での諸パラメータが独立に設定できるので、各領域で欠陥のパラメータの異なる半導体メモリ等の複雑なパターンの高速検査を可能とすることができる。

以上本発明者によってなされた発明を実施例に基づき説明したが、本発明は上記実施例に限定されるものでなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

例えば上記実施例では、各比較検査の出力をハードウェアで制御しているが、検出した欠陥をそのチップ内の座標をもとに、繰返しパターン部とランダムパターン部に分け、欠陥データが重複しないようにソフトウェアで処理する。あるいは、欠陥サイズのしきい値も座標によりソフトウェアで判断処理することも可能である。

さらに、2チップ比較の検査条件と繰返しパターン比較での検査条件が異なる場合、該計算機23内のソフトウェア処理にて、どちらの比較回路からの出力かを弁別し、検査結果データにこの弁別結果データを付加することもできる。これによって、検査条件の異なる検査結果であるということが判断できるので、例えば多数のウエハの検査結果データを大量に収集して、他のコンピュータなどで欠陥の大きさ別の分布状況などを統計的に処理する場合別々に処理することもできる。

以上の発明は、本発明者によってなされた発明をその背景となった利用分野であるウエハ外観検査装置に適用

した場合について説明したが、それに限定されるものでなく、例えば、ホトマスク、液晶、ディスク等の外観検査装置にも適用できる。また、比較検査を行う異物検査装置にも適用できる。

〔発明の効果〕

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

すなわち、ウエハなどの外観検査において、チップ内の位置により検出感度を適切に設定でき、欠陥の検出感度を最適化できる上に、チップ比較および繰返しパターン比較を同時に検査できるので検査の高速化もできる。言い換えれば、本発明によれば、パターン欠陥検査における検出感度の向上と検査速度の向上とを実現できる。

〔図面の簡単な説明〕

第1図は本発明をウエハ外観検査に適用した場合の一実施例を示す説明図、

第2図はチップの例を示す図、

第3図はチップをラインセンサの走査幅単位に分割する説明図、

第4図は第3図の1領域をぬき出し、各比較検査の領域を示す説明図、

第5図はラインセンサの走査方向での検査可否ビットを制御する回路構成例、

第6図はステージ走査方向での検査領域を制御する回路構成図、

第7図は比較器（チップ比較側）の内部処理の詳細を示す回路ブロック図、

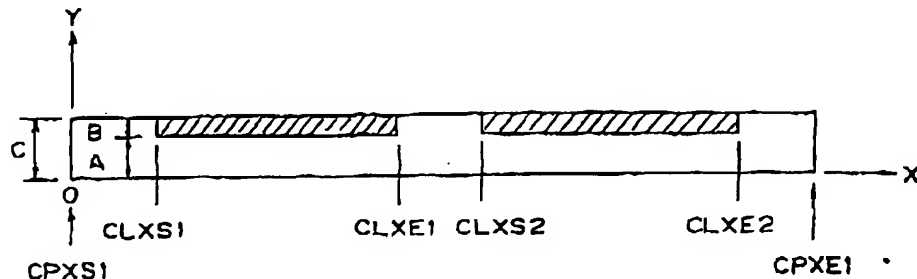
第8図は被検査対象である半導体メモリ装置ウエハの上主面のレイアウトを示すウエハ上面図、

第9図は比較器（繰返しパターン比較またはセル比較側）の内部処理の詳細を示す回路ブロック図である。

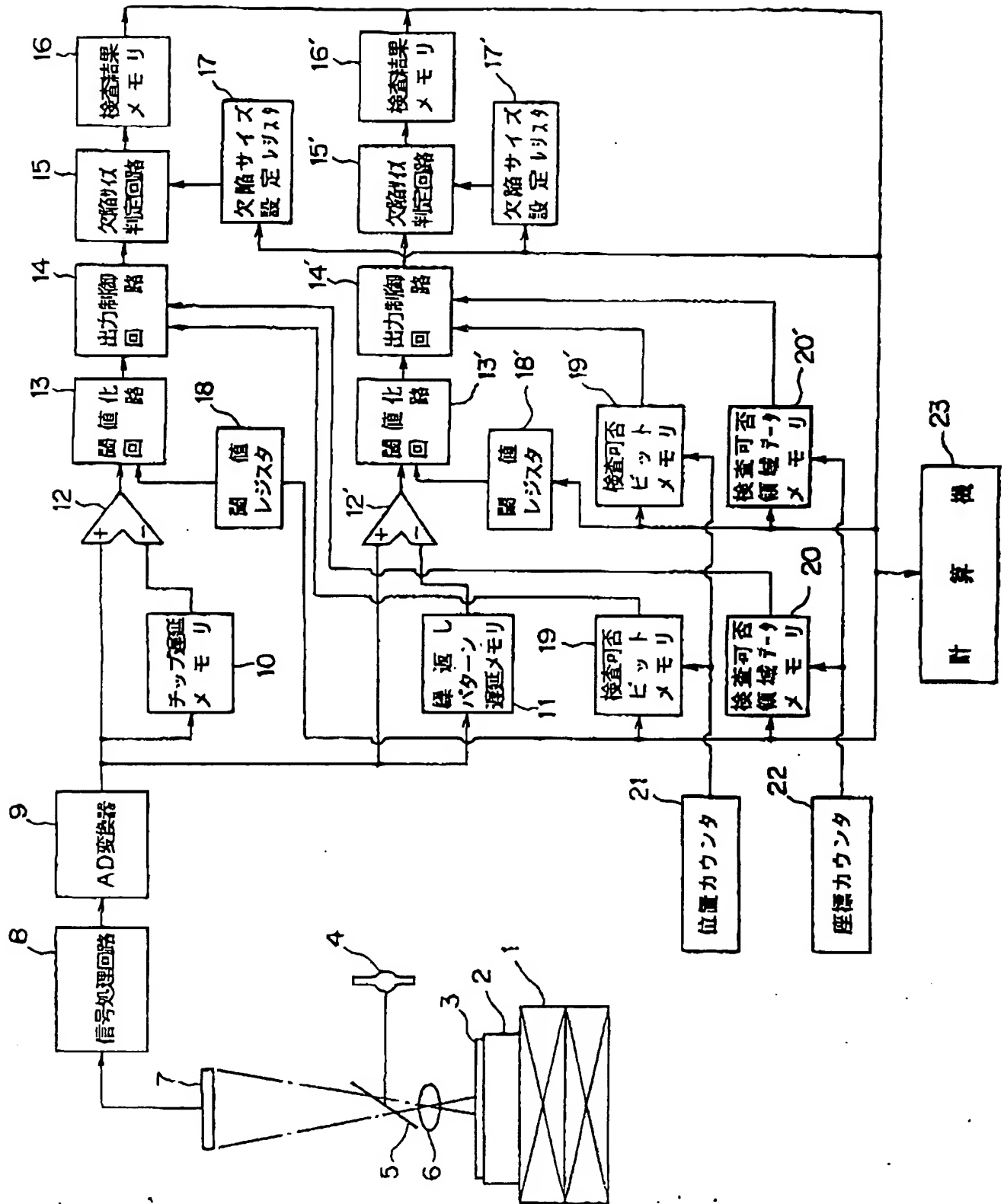
1……ステージ、2……ウエハ載置台、3……ウエハ、4……照明光源、5……ハーフミラー、6……対物レンズ、7……一次元光素子（ラインセンサ）、8……信号処理回路、9……AD変換器、10……チップ遅延メモリ、11……繰返しパターン遅延メモリ、12、12'……比較

器、13、13'……閾値化回路、14……チップ比較検査出力制御回路、14'……繰返しパターン比較検査出力制御回路、15……チップ比較欠陥サイズ判定回路、15'……繰返しパターン比較欠陥サイズ判定回路、16……チップ比較検査結果メモリ、16'……繰返しパターン比較検査結果メモリ、17……チップ比較欠陥サイズ設定レジスタ、17'……繰返しパターン比較欠陥サイズ設定レジスタ、18……チップ比較濃淡差閾値レジスタ、18'……繰返しパターン比較濃淡差閾値レジスタ、19……チップ比較ラインセンサ検査可否ビットメモリ、19'……繰返しパターン比較ラインセンサ検査可否ビットメモリ、20……チップ比較用のチップ内検査可否領域データメモリ、20'……繰返しパターン比較用のチップ内検査可否領域データメモリ、20-1……チップ比較用検査領域カウンタ、20'-1……繰返しパターン比較用検査領域カウンタ、20-2……チップ比較用X検査領域開始座標、20'-2……繰返しパターン比較用X検査領域開始座標、20-3……チップ比較用X検査領域終了座標、20'-3……繰返しパターン比較用X検査領域終了座標、20-4……座標比較器、20'-4……座標比較器、20-5……座標比較器、20'-5……座標比較器、20-6……フリップフロップ、20'-6……フリップフロップ、21……ラインセンサ位置カウンタ、22、22'……ステージ走査方向座標カウンタ、23……計算機、24、24'、25、25'……微分器、26、26'、27、27'……比較器、28、28'……タイミング整合回路、29、29'～33、33'……シフトレジスタ、34、34'～37、37'……X方向信号遅延回路、38、38'～42、42'……一致検出回路、43、43'～47、47'……カウンタ、48、48'……位置合わせ回路（タイミングシフト回路）、49、49'……引算器（差分器）51、52……メモリ・セル・マトリックス領域、55、56……周辺回路部、57……AI幹配線、61、63、68……スキヤニング帯、61Q、63H、63I、63J、63K、68Q……位置合わせ単位領域、71E……メモリチップ領域、71F、71G……チップ領域、72……スクライブライン、91、91'……微分閾値設定回路、92、92'、93、93'……バッファメモリ。

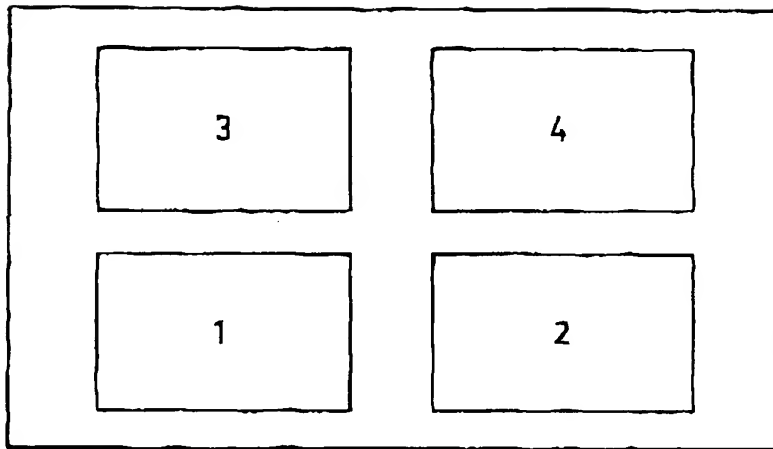
【第4図】



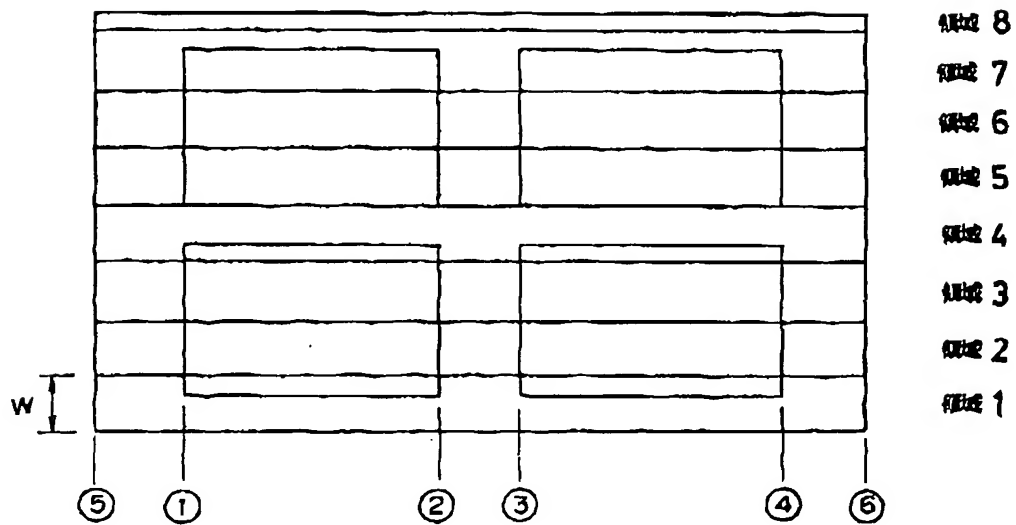
【第1図】



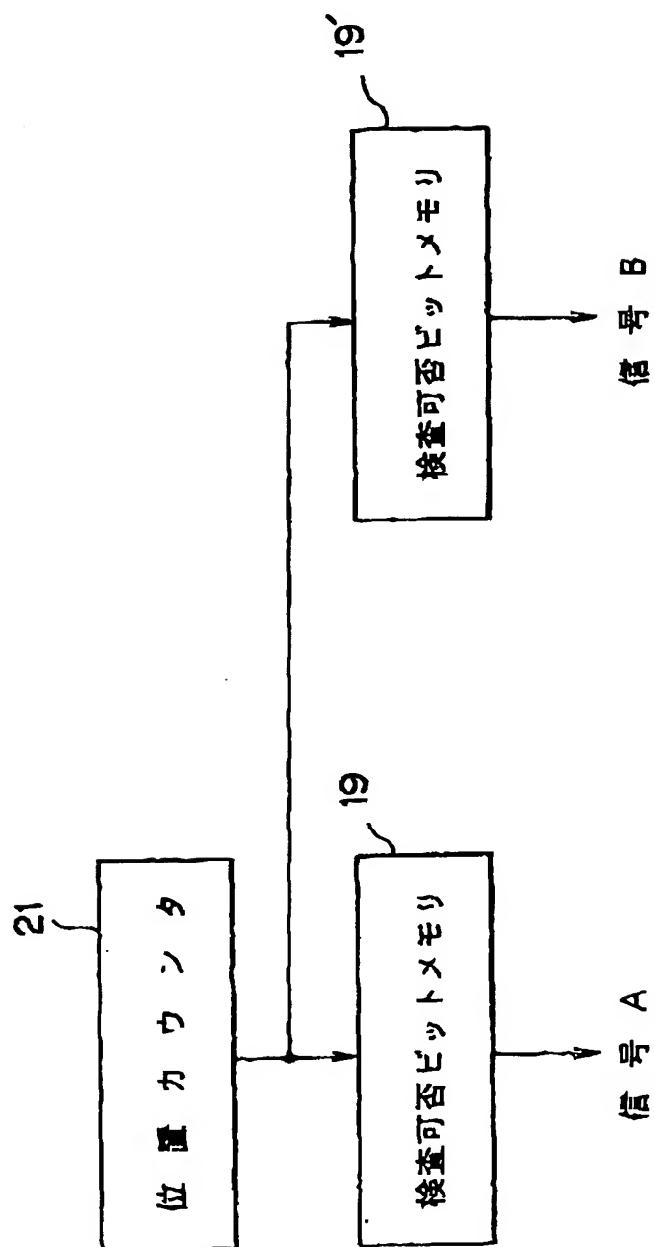
【第 2 図】



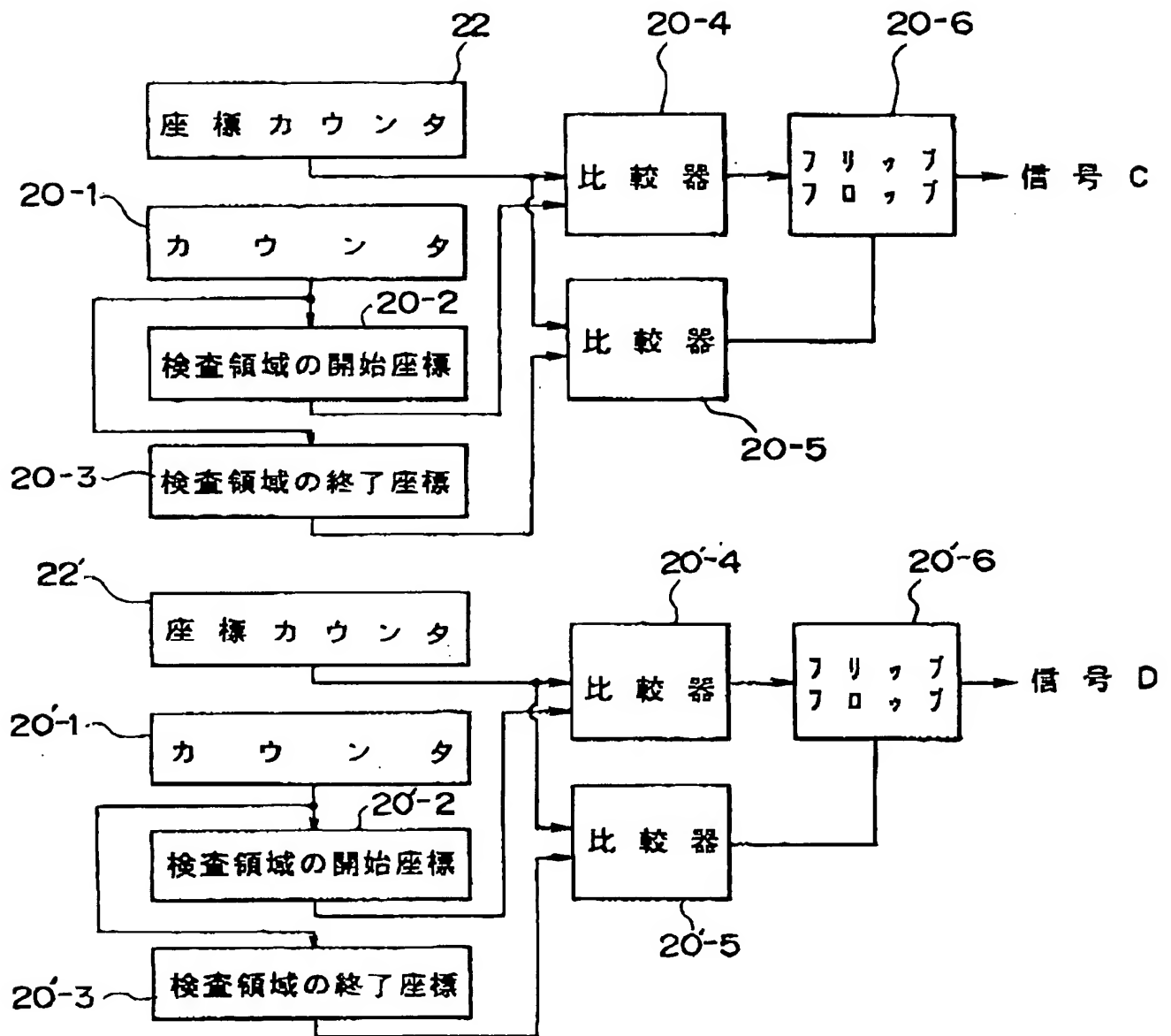
【第 3 図】



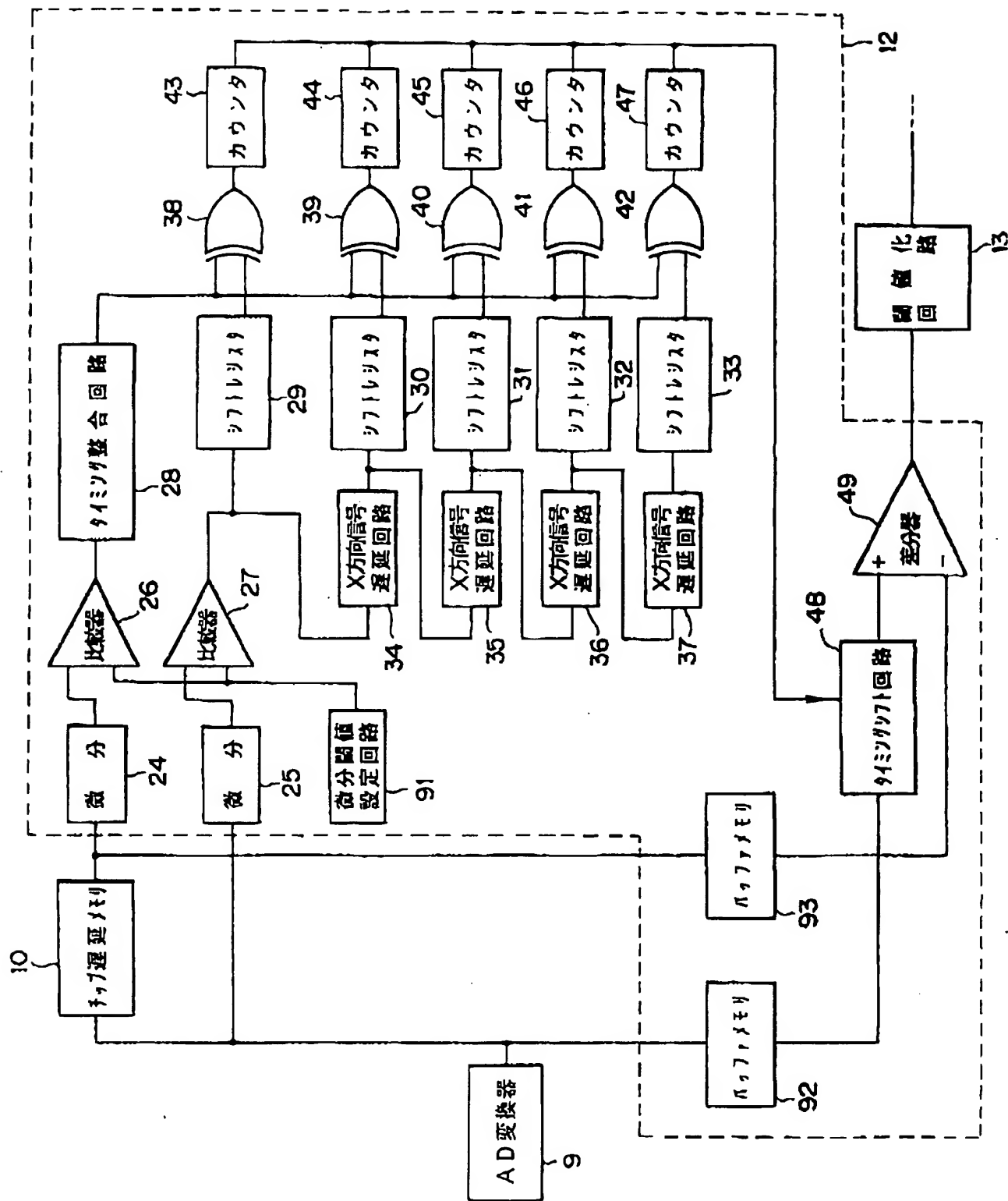
【第 5 図】



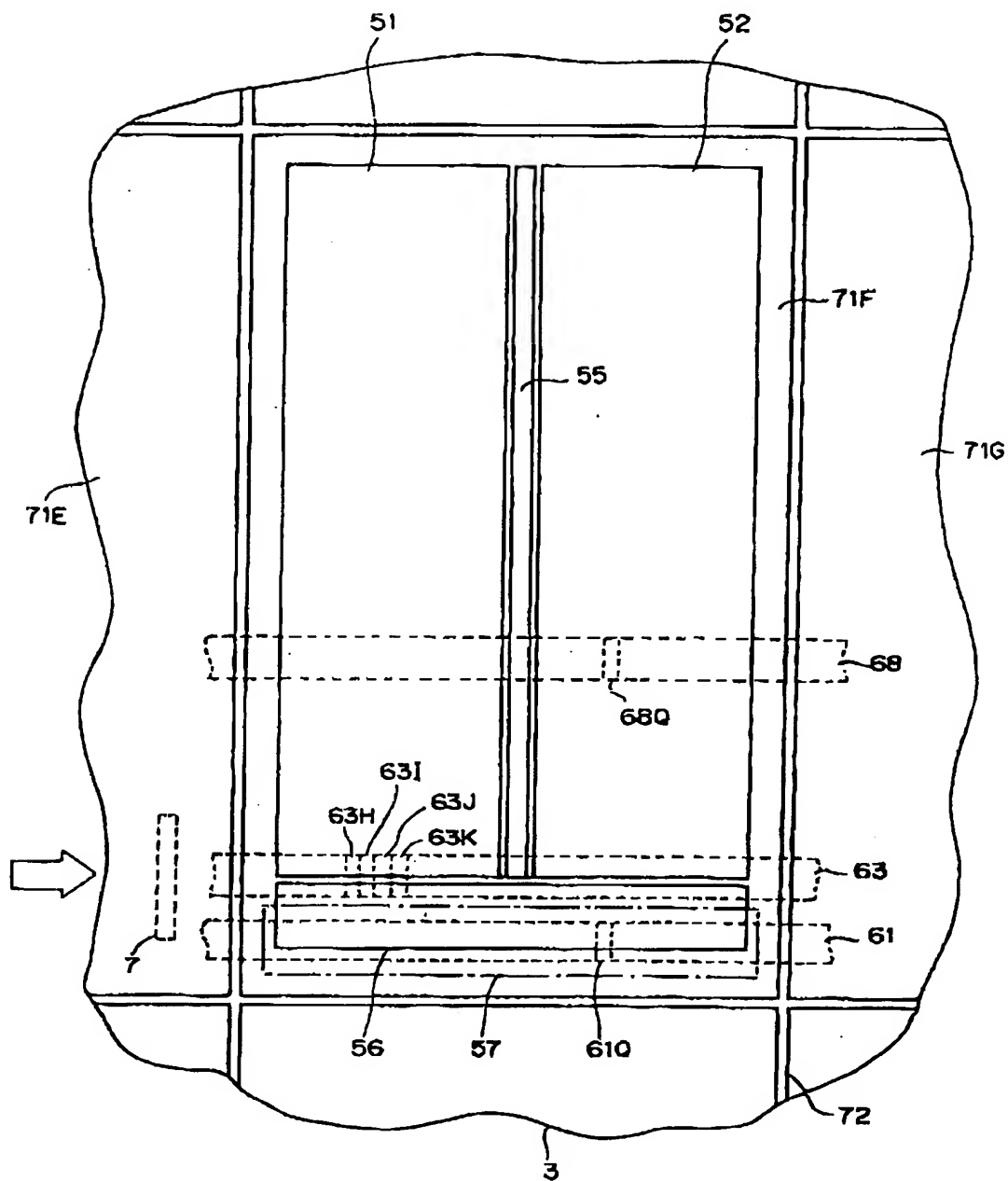
【第6図】



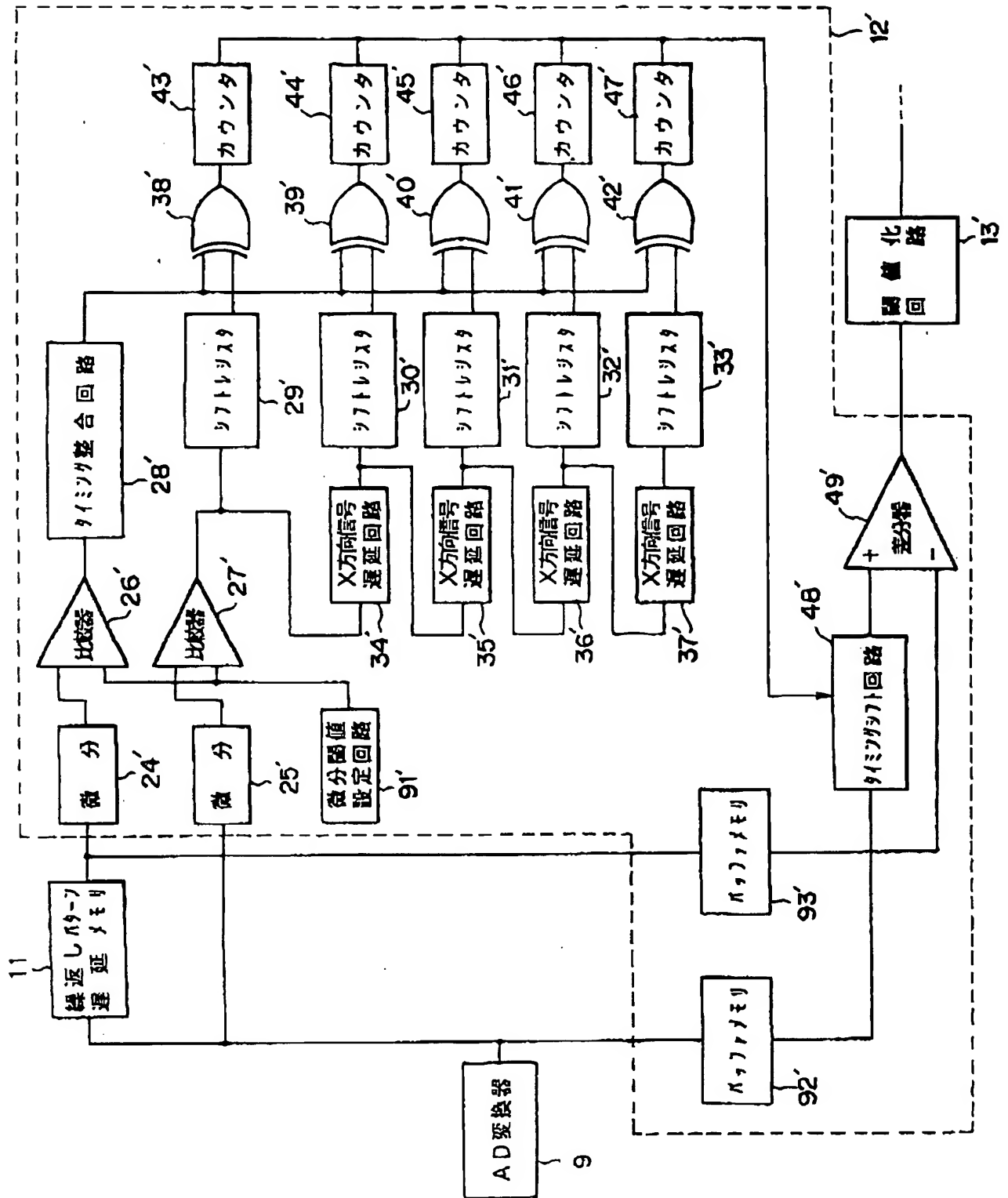
【第7図】



【第8図】



【第 9 図】



フロントページの続き

- (72)発明者 堀 義一
東京都青梅市藤橋3丁目3番地2 日立
東京エレクトロニクス株式会社内
- (72)発明者 鎌形 孝宏
東京都青梅市藤橋3丁目3番地2 日立
東京エレクトロニクス株式会社内
- (56)参考文献 特開 昭63-134940 (J P, A)
特開 昭63-126242 (J P, A)
特開 平1-202607 (J P, A)
- (58)調査した分野(Int.Cl.⁷, DB名)
H01L 21/66
G01N 21/88